

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-140502

(43)公開日 平成 6年(1994) 5月20日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/76		S 9169-4M		
21/265				
27/08	3 3 1 B	9170-4M	H 0 1 L 21/ 265	H
		8617-4M		

審査請求 未請求 請求項の数5(全 6 頁)

(21)出願番号 特願平4-287234

(22)出願日 平成 4年(1992)10月26日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 森岡 章次

東京都港区芝五丁目7番1号日本電気株式会社内

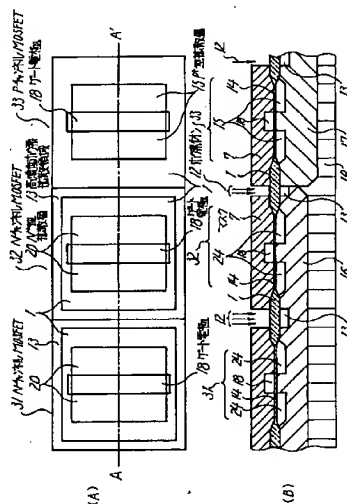
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 MOSFET間のもれ電流防止を強化し、かつ、MOSFETのソース、ドレインの耐圧を向上させる。

【構成】 MOSFET分離の為に厚いフィールド酸化膜1上にマスク層7を設け、ホウ素イオン12をフィールド酸化膜1を通して注入して、P⁺拡散領域13をフィールド酸化膜1の直下に形成する。



【特許請求の範囲】

【請求項1】 半導体基板にソース、ドレインをそれぞれ有する第1および第2の絶縁ゲート電界効果トランジスタが形成され、前記第1および第2の絶縁ゲート電界効果トランジスタ間に前記半導体基板に一部が埋設する素子分離用の厚いフィールド絶縁膜が形成され、前記フィールド絶縁膜下にP⁺型拡散層領域を形成した半導体装置の製造方法において、前記P⁺型拡散層領域は前記フィールド絶縁膜上よりP型不純物をイオン注入する工程を有して前記第1および第2の絶縁ゲート電界効果トランジスタのソース、ドレインから離間して形成すること

を特徴とする半導体装置の製造方法。

【請求項2】 前記フィールド絶縁膜の表面を除去して凹部を形成して該凹部から前記イオン注入を行なうことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記半導体基板には第1導電型のウェルおよび第2導電型のウェルが形成され、前記第1の絶縁ゲート電界効果トランジスタは前記第1導電型のウェル内に形成された第2導電型チャンネルのトランジスタであり、前記第2の絶縁ゲート電界効果トランジスタは前記第2導電型のウェル内に形成された第1導電型チャンネルのトランジスタであることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】 前記第1および第2の絶縁ゲート電界効果トランジスタはいずれもNチャンネルのトランジスタであることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項5】 前記第1および第2の絶縁ゲート電界効果トランジスタは前記半導体基板に形成された同一のP型ウェルに形成されていることを特徴とする請求項4に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は絶縁ゲート電界効果トランジスタ（以下MOSFETと称す）を有する半導体装置の製造方法に係わり、特に素子分離の方法に関する。

【0002】

【従来の技術】 従来の技術を図面を用いて説明する。

【0003】 図3は従来技術を示す図であり、(A)は平面図、(B)は(A)のC-C'部の断面図である。P型もしくはN型の半導体基板19にP型ウェル16、N型ウェル17が形成され、かつ、この半導体基板の表面には、基板に一部が埋設する素子分離用の厚いフィールド酸化膜1が選択酸化法で形成されている。P型ウェル16にはゲート酸化膜14上のゲート電極18をマスクとしてN型不純物を導入することによりソースおよびドレインとなるN⁺型拡散層3、5が形成されてNチャンネルMOSFET20を構成し、一方、N型ウェル17にはゲート酸化膜14上のゲート電極18をマスクとしてP型不純物を導入することによりソースおよびドレ

インとなるP⁺型拡散層4、6が形成されてPチャンネルMOSFET21を構成している。そして、P型ウェル16の表面の周囲にはガードリングとなるP⁺型拡散層領域2が高濃度のボロンにより形成されている。

【0004】 通常の電流の経路は、NチャンネルMOSFET20のソース、ドレインとなるN⁺型拡散層3と5の間及びPチャンネルMOSFET21のソース、ドレインとなるP⁺型拡散層4と6の間である。しかし、γ線やX線等の高エネルギー放射線がフィールド酸化膜1に入射することによりフィールド酸化膜1の下部に正電荷が現われ、NチャンネルMOSFET20のN⁺型拡散層3とNウェル17との間にもNチャンネルが現われて異常な電流の経路が出現する。

【0005】 この異常な電流経路の発生を防ぐ為に、フィールド酸化膜1の直下にガードリングとなるP⁺型拡散層領域2を設けてある。

【0006】 図4は他の従来技術であり、(A)は平面図、(B)は(A)のD-D'部の断面図である。尚、図4において図3と同一もしくは類似の機能の箇所は同じ符号で示してある。図4では、同じP型ウェル16内にN⁺型拡散層8〜11をそれぞれソース、ドレインとするNチャンネルMOSFET22および23が形成され、両FETの間を含むフィールド酸化膜1の全面下にP⁺型拡散層領域2であるガードリングが高濃度のボロンにより形成されている。

【0007】 通常電流経路は、NチャンネルMOSFET22ではN⁺型拡散層8とN⁺型拡散層9との間であり、NチャンネルMOSFET23ではN⁺型拡散層10とN⁺型拡散層11との間にある。

【0008】 この図4でも図3の場合と同じ理由から、N⁺型拡散層8とN⁺型拡散層10の間にも寄生のNチャンネルが出現し、異常電流経路となる。この異常電流経路の発生を防ぐ為に、フィールド酸化膜1下にガードリングとなる高濃度のボロンとなるP⁺型拡散層領域2が形成されている。

【0009】

【発明が解決しようとする課題】 従来技術によるガードリング（P⁺型拡散層領域）2は、まずボロンを半導体基板表面に導入し、しかる後に高温で長時間の熱酸化によるフィールド酸化膜1を形成することによりこのフィールド酸化膜1の下に形成していた。

【0010】 したがって上記長時間の熱酸化によりボロンが大きく拡散してしまい所定の高濃度の値とすることは困難であった。したがって、前述したMOSFET間の異常電流経路の発生による電流もれを十分に防ぐことが出来ず、その為、例えば、耐放射線用半導体装置として用いることが出来ないという問題があった。

【0011】 さらに上記長時間熱処理によるボロンの大きな拡散により、NチャンネルMOSFETのソース、ドレインとなるN⁺型拡散層と近接してしまう。この為

に、このガードリングに近接するドレイン（又はソース）の近傍では十分に空乏層が広がることが出来ず、これが原因で接合破壊電圧が低いという問題があった。

【0012】

【課題を解決するための手段】本発明の特徴は、半導体基板にソース、ドレインをそれぞれ有する第1および第2のMOSFETが形成され、前記第1および第2のMOSFET間に前記半導体基板に一部が埋設する素子分離用の厚いフィールド絶縁膜が形成され、前記フィールド絶縁膜下にチャンネルストッパー領域、ガードリングとなるP⁺型拡散層領域を形成した半導体装置の製造方法において、前記P⁺型拡散層領域は前記フィールド絶縁膜上よりP型不純物をイオン注入する工程を有して前記MOSFETのソース、ドレインから離間して形成する半導体装置の製造方法にある。ここで、前記フィールド絶縁膜の表面を除去して凹部を形成して該凹部から前記イオン注入を行うことができる。

【0013】

【実施例】次に本発明の実施例について、図面を参照しつつ説明する。

【0014】図1は、本発明の第1の実施例のMOSFET分離の強化を示す図であり、(A)は平面図、(B)は(A)のA-A'部の断面図であり、途中工程を示す。

【0015】P型もしくはN型シリコン基板19にP型ウェル16およびN型ウェル17が形成され、基板19の表面には基板に一部埋設するフィールドシリコン酸化膜1が選択的熱酸化法で形成されている。Pウェル16には、NチャンネルMOSFET31および32それぞれがゲート絶縁膜14上のゲート電極18をマスクとしてN型不純物を導入して形成したN⁺型拡散層24をソース、ドレインとして構成され、また、Nウェル17には、PチャンネルMOSFET33がゲート絶縁膜14上のゲート電極18をマスクとしてP型不純物を導入して形成したP⁺型拡散層15をソース、ドレインとして構成されている。

【0016】図1は層間絶縁膜を介してゲート電極やソース、ドレインを接続するアルミ配線工程前の図である。

【0017】図1においてフィールド酸化膜1の上部の一部を除いて全面をアルミニウム7でマスクし、その開口を通して、その上からボロンイオン12をフィールド酸化膜1を通過する高エネルギー、例えば約200keVでフィールド酸化膜1下の所定部分にイオン注入する。その後、例えばランプアニールを行って本発明のガードリングであるP⁺型拡散層領域13を形成する。

【0018】このようにすると、ボロン導入後のフィールド酸化膜の高温長時間の熱処理工程がないので、P⁺型のガードリング13は所定の高濃度で、かつ、NチャンネルMOSFETのソース、ドレイン24と近接しな

いように所定の位置に形成することができる。したがって、高濃度によりMOSFET間のもれ電流防止が強化され、かつ、ソース、ドレインと離間していることによりソース、ドレインの空乏層が広がることができ、これによりソース、ドレインの接合破壊電圧の低下を防止することができる。

【0019】図2は本発明の第2の実施例を示す図であり、(A)は平面図、(B)は(A)のB-B'部の断面図である。尚、図2において図1と同一もしくは類似の機能の箇所は同じ符号で示してある。

【0020】この第2の実施例は、フィールド酸化膜1の上部の一部を除いてアルミニウム7のマスクをするところまでは図1の第1の実施例と同じである。図2の第2の実施例では、ボロンをイオン注入する箇所のフィールド酸化膜1を上部から例えばフッ酸HFでウェットエッチングすることによりフィールド酸化膜1の厚みを薄くして凹部25を形成する。このようにすることにより、次のホウ素イオン注入時のホウ素イオンの注入エネルギーを低く抑えることが出来て、なおかつホウ素によるP⁺型高濃度拡散領域13の制御を容易にすることが出来る。

【0021】即ち、NチャンネルMOSFETのN⁺型拡散層24と高濃度ホウ素拡散領域13の接近を防ぐことができる為、ソース、ドレインとなるN⁺型拡散層の近傍で空乏層が従来のものよりも十分に広げられ半導体装置の接合破壊電圧を向上させることが出来る。

【0022】この第2の実施例も第1の実施例の図1の様にNチャンネルMOSFETの周囲を囲んで形成すれば電流もれを防ぐ為に効果が向上する。

【0023】図1で示した様に隣接するNチャンネルMOSFETのまわりをP⁺型高濃度領域13で囲む時、NチャンネルMOSFETとNチャンネルMOSFETの間には、P⁺型高濃度領域13を1つだけ形成してもよいし、それぞれ個別に形成してもよい。また、マスクはアルミニウムではなく、レジスト等の別の材料により行ってもよい。

【0024】又、本実施例はCMOS半導体装置を用いて説明したが、NチャンネルMOSFETのみの半導体装置でも同じことが言える。

【0025】

【発明の効果】以上説明した様に本発明では、フィールド絶縁膜を形成した後に、このフィールド絶縁膜を通してボロンをイオン注入することによりガードリングとなるP⁺型拡散層領域を形成してMOSFET分離を実現している為に以下の効果が生じる。

【0026】(1) NチャンネルMOSFETのソース、ドレインとなるN⁺型拡散層の近傍に発生する空乏層領域を従来のものと比較して十分に広げることが出来る為、酸化膜に電荷が蓄積されてもMOSFET間が連続するチャンネルで結ばれることはないで、素子間の

電流もれを防止できるという結果を有する。

【0027】(2) また、P⁺型拡散層領域が十分の高濃度でフィールド酸化膜直下に形成できるので、フィールド酸化膜が帯電しても強いチャンネルが形成されず、MOSFET間の電流もれ防止の効果が向上する。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す図であり、(A)は平面図、(B)は(A)のA-A'部の断面図である。

【図2】本発明の第2の実施例を示す図であり、(A)は平面図、(B)は(A)のB-B'部の断面図である。

【図3】従来技術を示す図であり、(A)は平面図、(B)は(A)のA-A'部の断面図である。

【図4】他の従来技術を示す図であり、(A)は平面図、(B)は(A)のB-B'部の断面図である。

【符号の説明】

1 フィールドシリコン酸化膜

*

*2 従来技術によるP⁺型拡散層領域

3, 5, 8, 9, 10, 11 ソース、ドレインとなるN⁺型拡散層

4, 6, 15, 24 ソース、ドレインとなるP⁺型拡散層

7 イオン注入のマスク材となるアルミニウム

12 ボロン(ホウ素)イオン

13 本発明によるP⁺型拡散層領域

14 ゲート酸化膜

16 Pウェル

17 Nウェル

18 ゲート電極

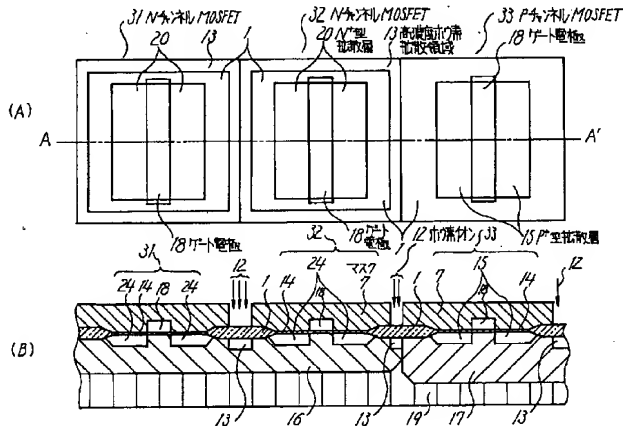
19 P型(もしくはN型)のシリコン基板

20, 22, 23, 31, 32 NチャンネルMOSFET

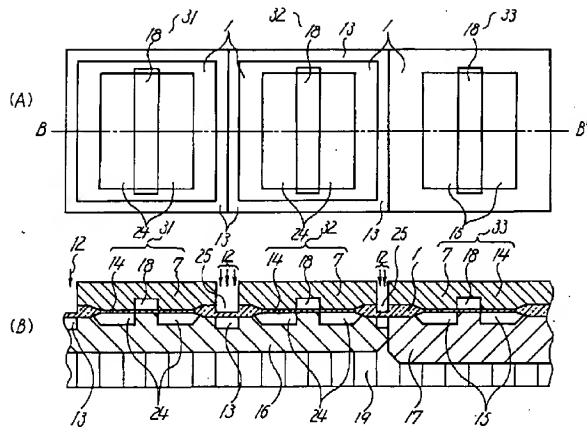
21, 33 PチャンネルMOSFET

25 フィールド酸化膜上面に形成された凹部

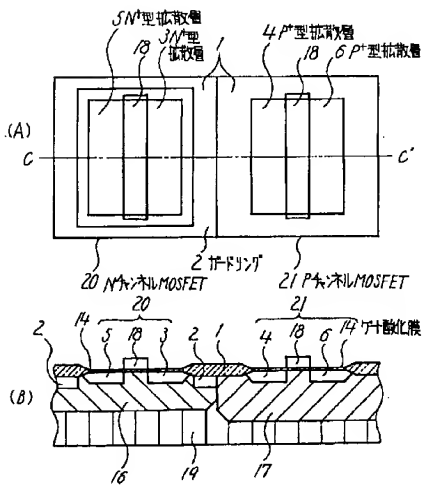
【図1】



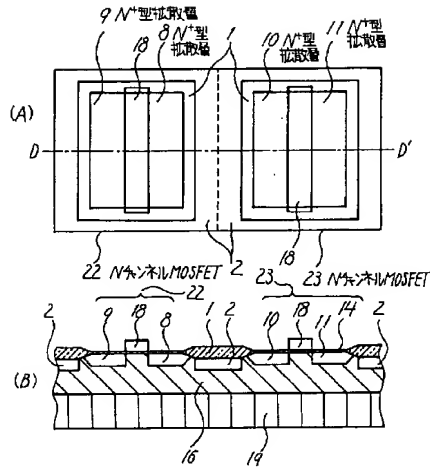
【図2】



【図3】



【図4】





PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06140502 A**

(43) Date of publication of application: 20 . 06 . 94

(51) Int. Cl.

H01L 21/76**H01L 21/265****H01L 27/08**(21) Application number: **04287234**(71) Applicant: **NEC CORP**

(22) Date of filing: 26 . 10 . 92

(72) Inventor: **MORIOKA SHOJI****(54) SEMICONDUCTOR DEVICE AND
MANUFACTURE THEREOF****(57) Abstract:**

PURPOSE: To certainly prevent leakage currents between MOSFET transistors and also to increase the withstand voltage between the source and the drain of a MOSFET.

CONSTITUTION: A layer 7 for a mask is provided on a thick field oxide film 1 for the purpose of isolating an MOSFET, and the ions of boron 12 are injected through the field oxide film 1 to form a P⁺-type diffused region 13 right under the field oxide film 1.

COPYRIGHT: (C)1994,JPO&Japio

